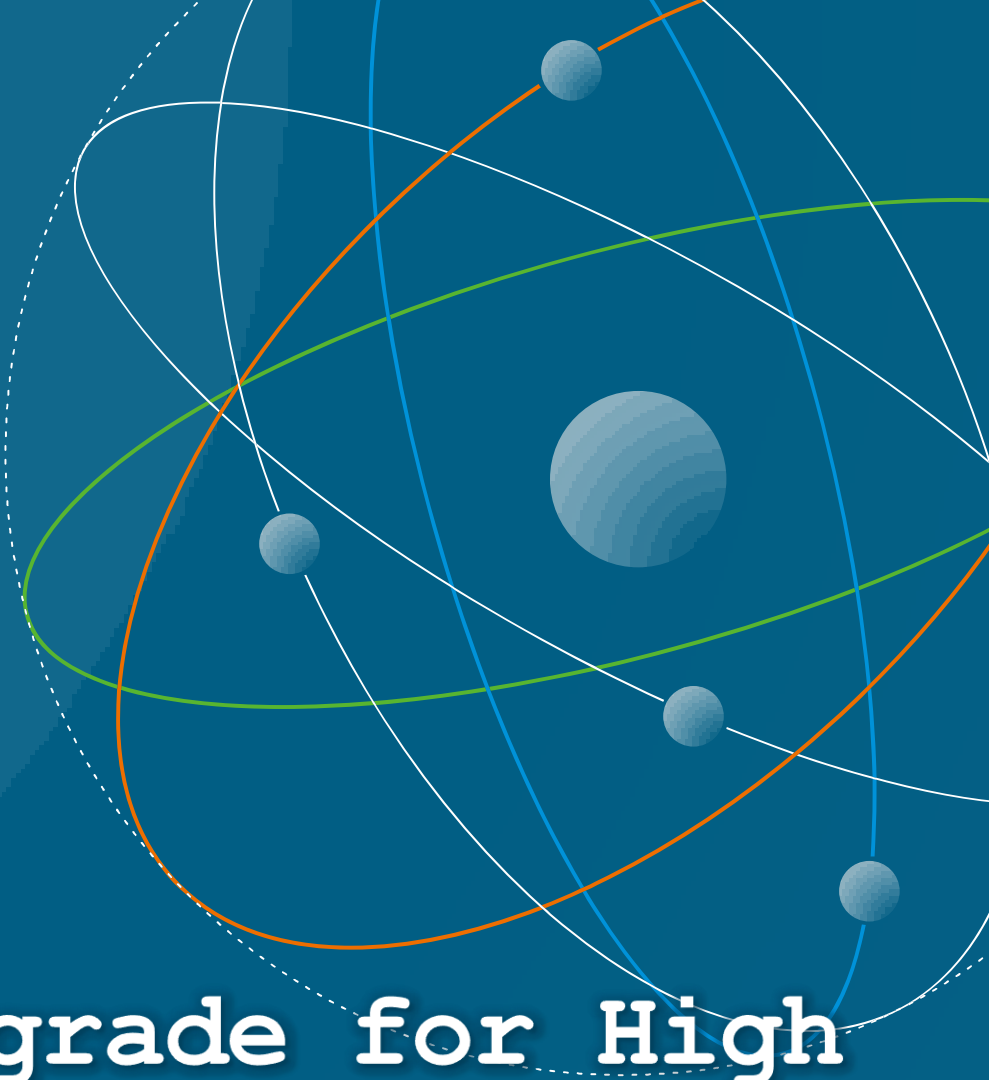


KOREA  
ATOMIC  
ENERGY  
RESEARCH  
INSTITUTE



# Controller Upgrade for High Voltage Converter Modulator at KOMAC

2024/5/20

더 나은 세상을 위한 원자력기술  
국민과 세계가 지지하는

# 한국원자력연구원

- 01 모듈레이터 소개
- 02 모듈레이터 제어기 업그레이드 배경
- 03 제어기 업그레이드 특징
- 04 제어기 적용실험 결과
- 05 결론



한국원자력연구원  
Korea Atomic Energy Research Institute

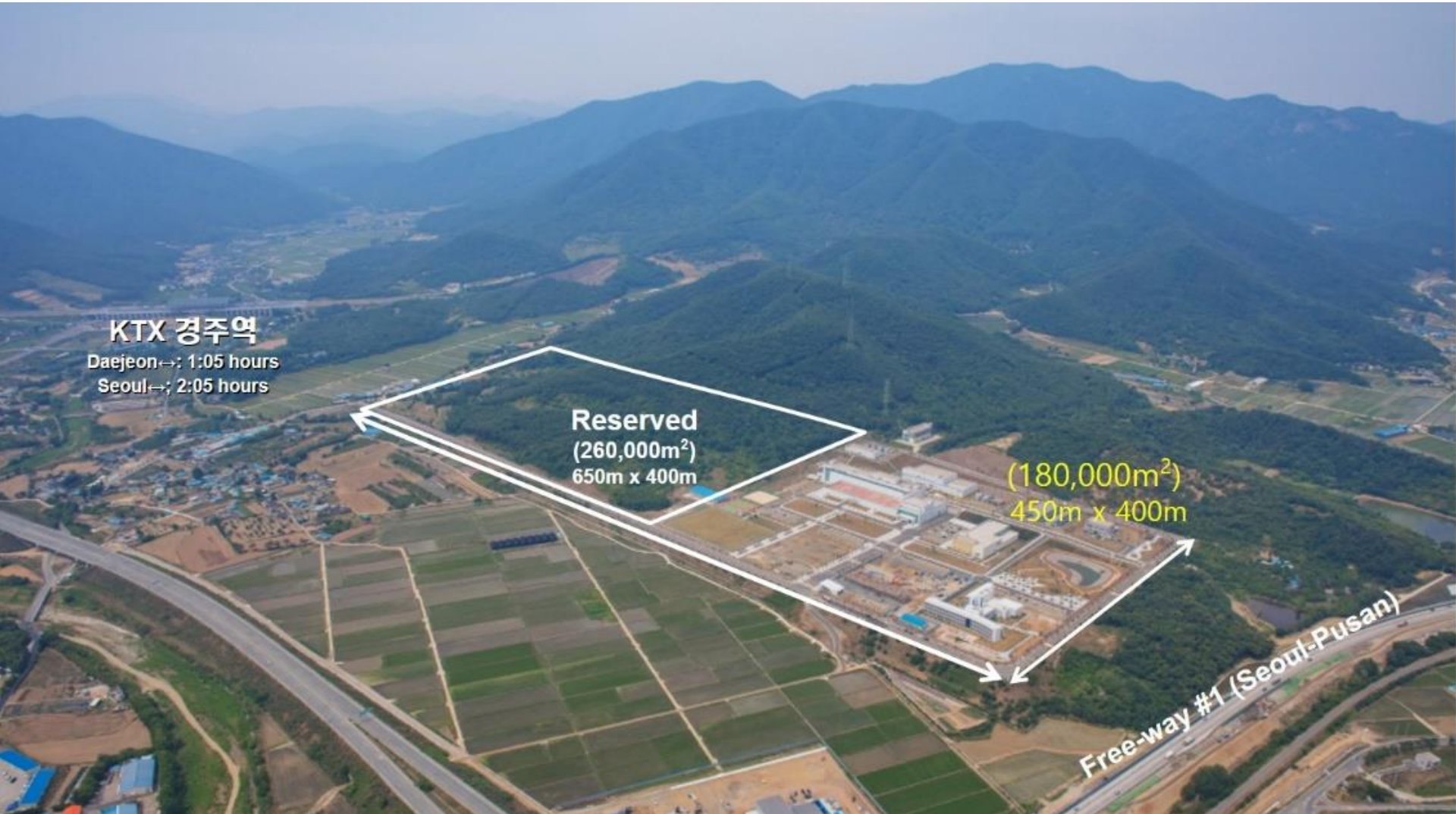
KOREA  
ATOMIC  
ENERGY  
RESEARCH  
INSTITUTE



모듈레이터 소개

01

# 양성자과학연구단의 위치



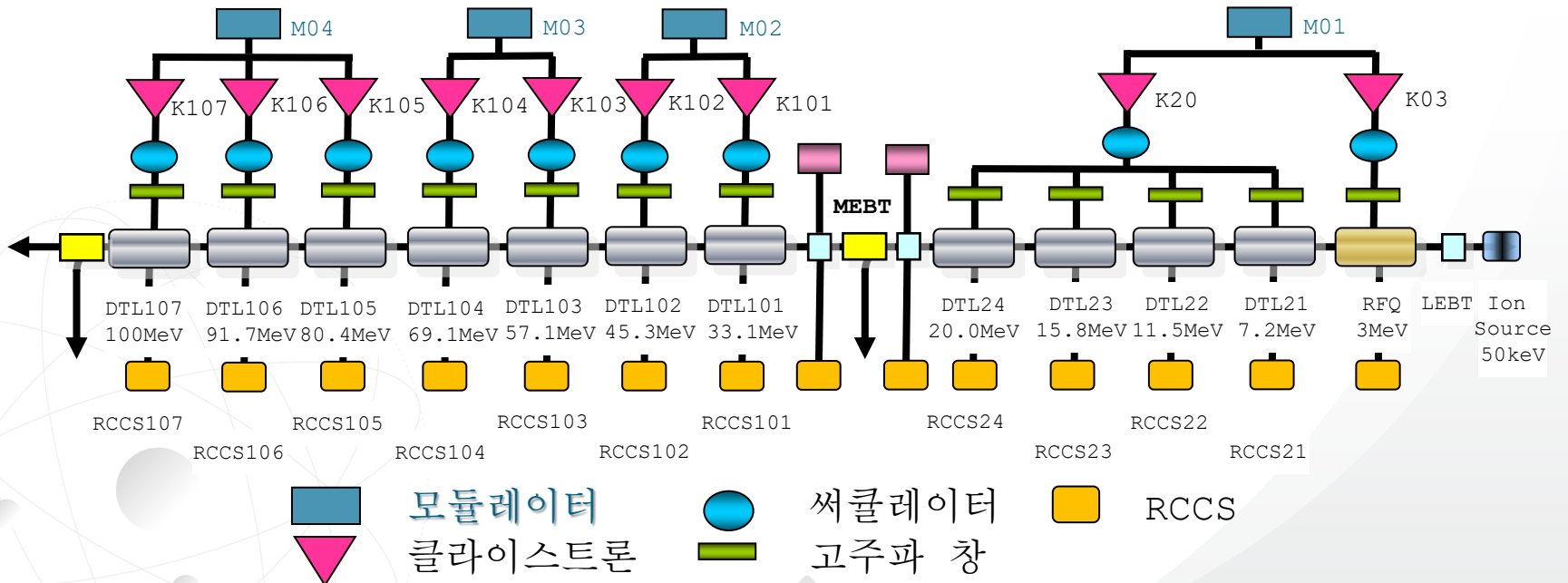
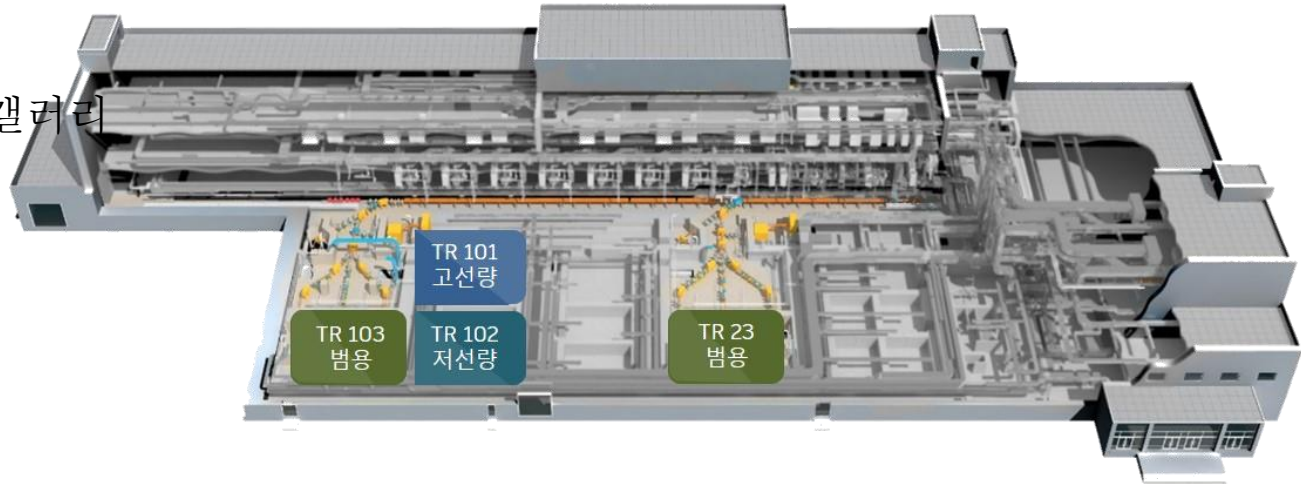


# 가속기동 건물 내 양성자가속기 구성도

3층 모듈레이터 룸

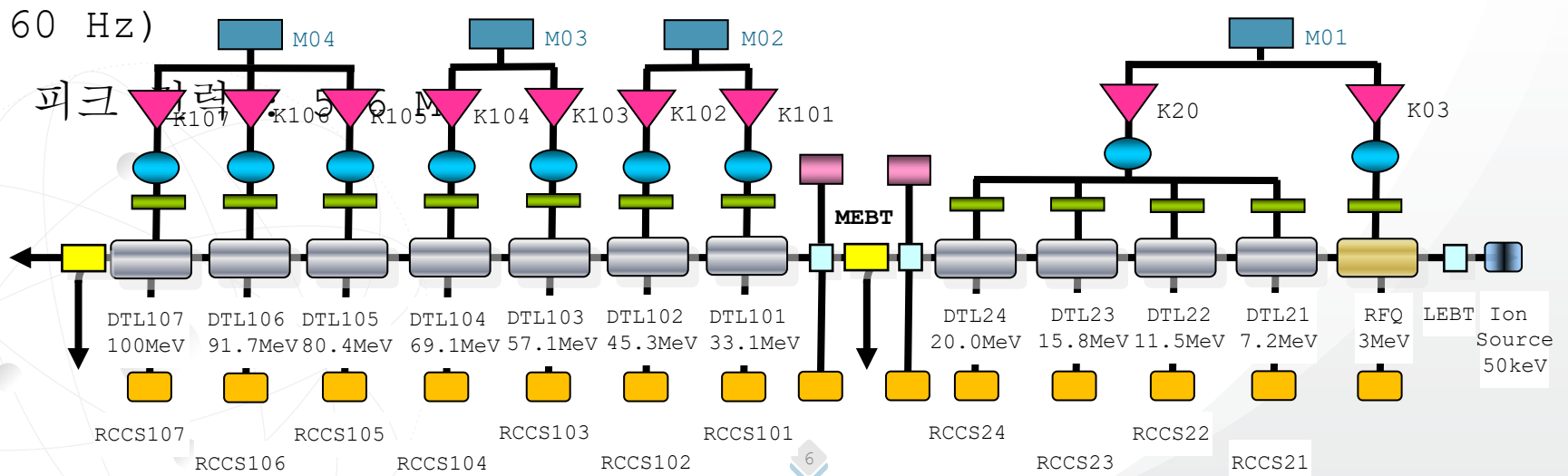
2층 클라이스트론 갤러리

1층 가속기 터널



# 모듈레이터 제원

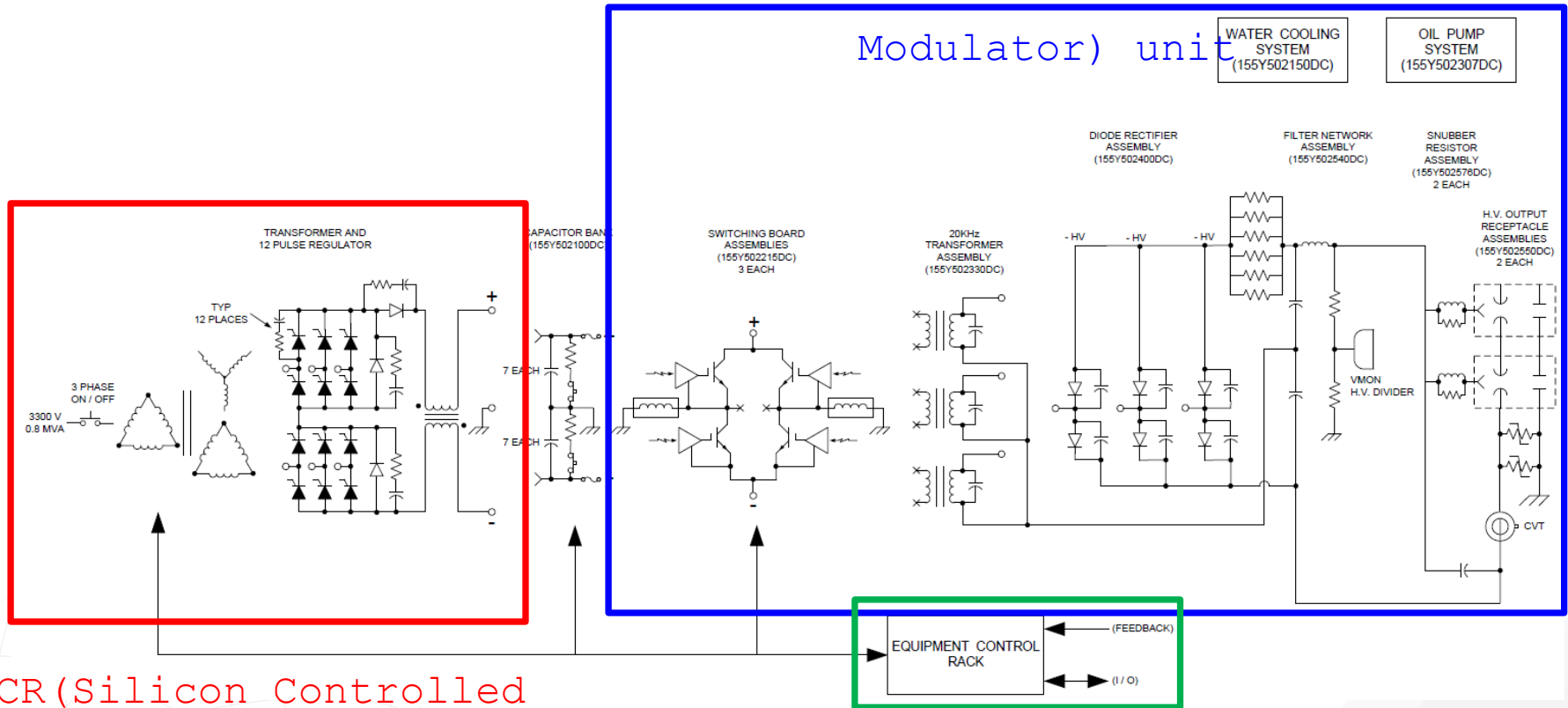
- ✓ 최대 출력 전압 : -105 kV
- ✓ 최대 출력 전류 : 53 A
- ✓ 최대 펄스폭 : 1.5 ms (long pulse)
- ✓ 펄스 droop : <1%
- ✓ 최대 펄스 반복률 : 60 Hz
- ✓ 최대 duty : 9% (1.5 ms, 60 Hz)



# 모듈레이터 회로도 및 동작원리

## HVCM (High Voltage Converter

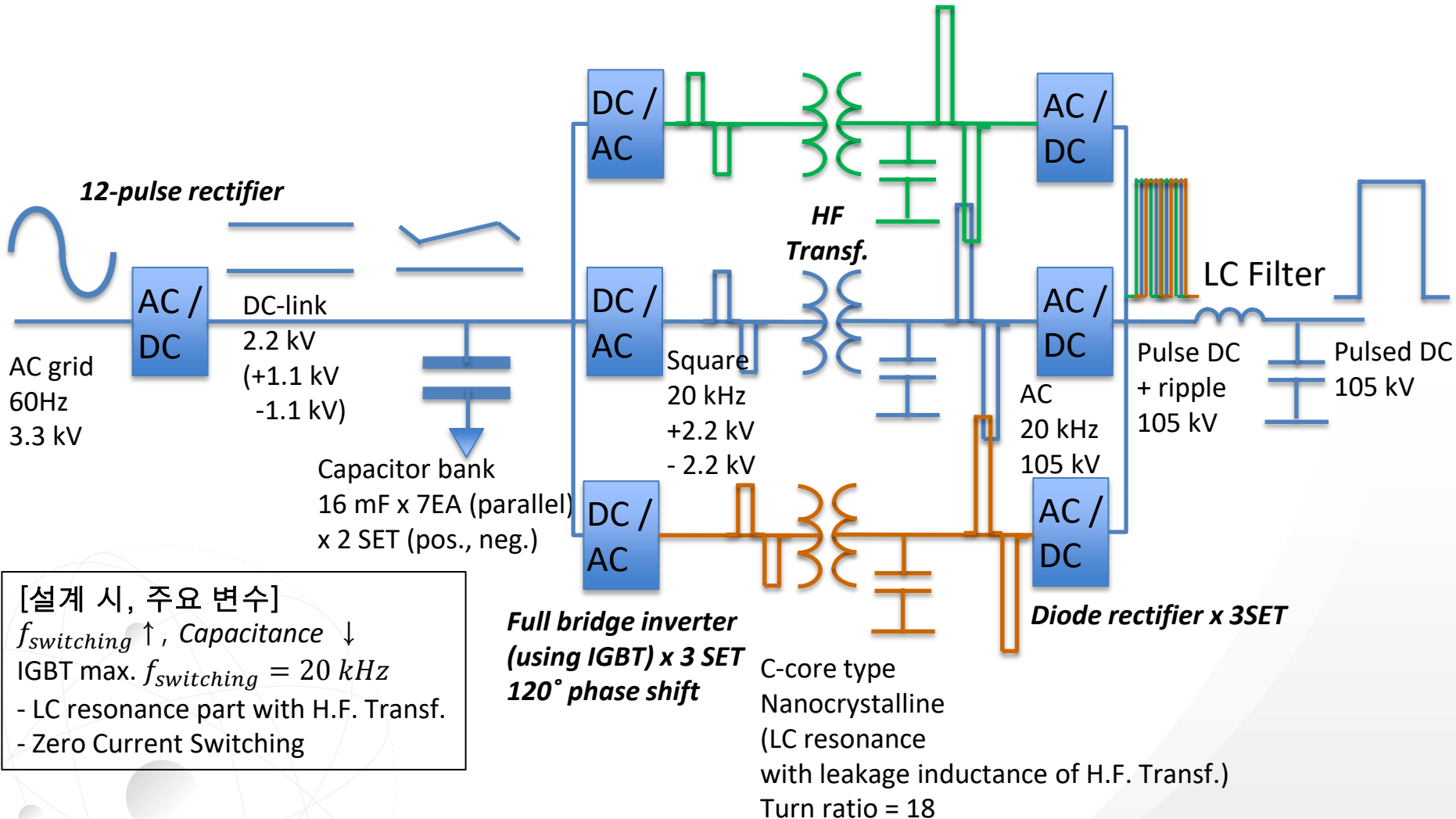
## Modulator) unit



SCR (Silicon Controlled Rectifier) unit

Control Rack unit

# 모듈레이터 회로도 및 동작원리



[설계 시, 주요 변수]

$f_{switching} \uparrow$ , Capacitance  $\downarrow$   
 IGBT max.  $f_{switching} = 20 \text{ kHz}$

- LC resonance part with H.F. Transf.
- Zero Current Switching





한국원자력연구원  
Korea Atomic Energy Research Institute

KOREA  
ATOMIC  
ENERGY  
RESEARCH  
INSTITUTE



# 모듈레이터 제어기 업그레이드 배경

## 02

# 기존 제어기의 운영 한계

## ☑ 외산품 (美, Dynapower社) 의 한계

: A/S 어려움, 고비용 (8천만원/1EA), 장납기

## ☑ 제조사 (Dynapower社) 펄스전원 사업 일몰

: 제조사 관심 저하, 예비품 확보 한계

## ☑ 팬더믹 이후 제어기 內 반도체 소자 다수 단종

: 반도체 소자 life cycle 종료에 따른 유지보수 한계

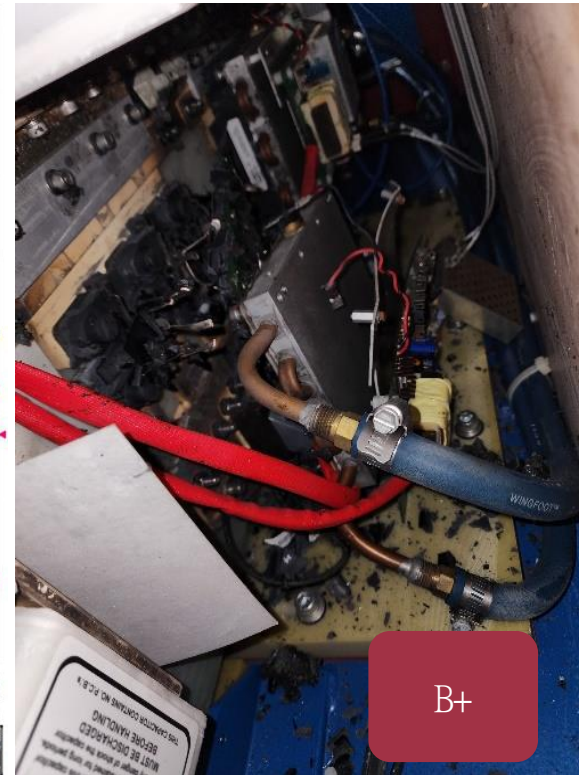
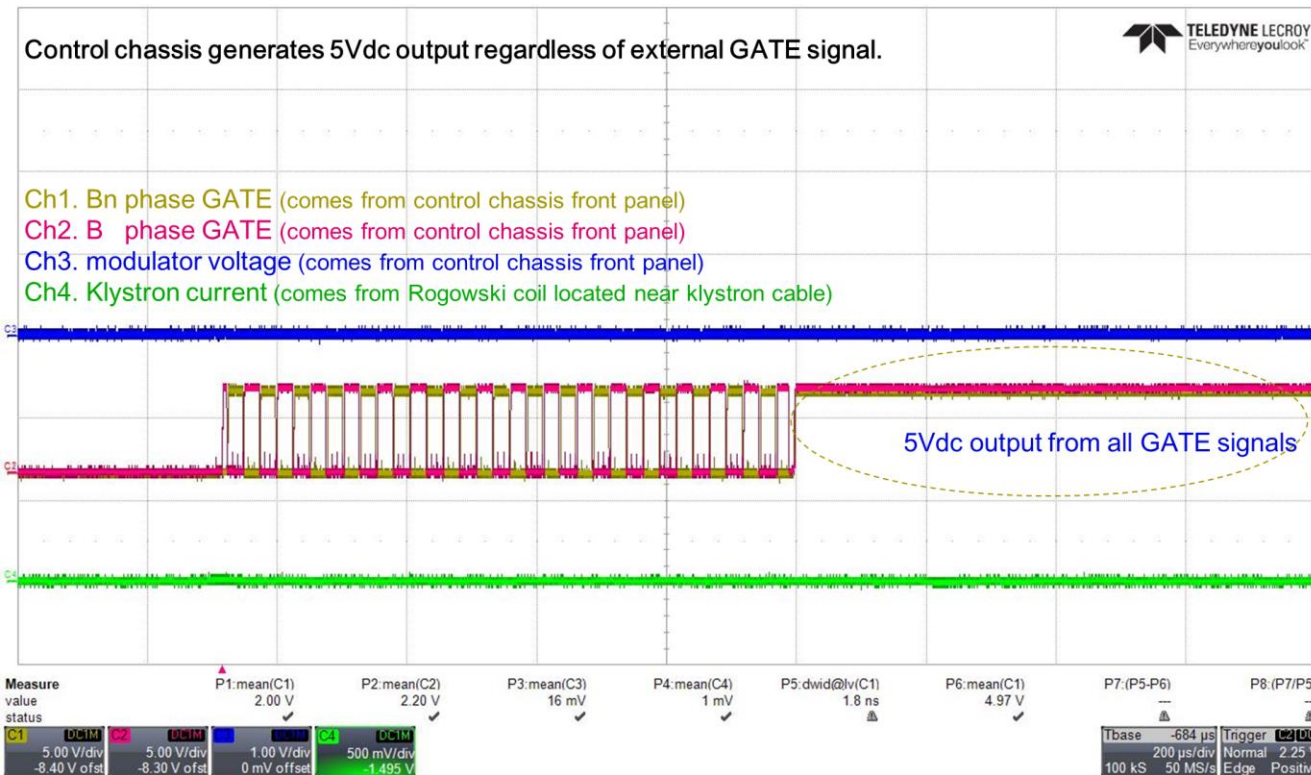
## ☑ 구형 개발 플랫폼 (Windows XP 기반) 에 따른 로직 접근성 한계

: 제어기 내부 문제 (DSP fault) 발생 시, 通 교체

# 기존 제어기의 기능 문제점

☑ 로직 오동작에 대한 보호회로 부족

: IGBT shoot-through 보호회로 추가 필요성 증대



B+

# 제어기 업그레이드 목표

- ☑ 국산화를 통한 구축 비용 절감 및 A/S 대응 강화
- ☑ 범용성 높은 반도체 소자 적용을 통한 life cycle 대응
- ☑ 개발 플랫폼 최신화 : Windows 11 기반의 프로그램 사용
- ☑ 로직 접근성 향상을 위한 VHDL 변환
- ☑ 10년 간의 모듈레이터 운영 경험에 기반한 성능 추가 향상





한국원자력연구원  
Korea Atomic Energy Research Institute

KOREA  
ATOMIC  
ENERGY  
RESEARCH  
INSTITUTE

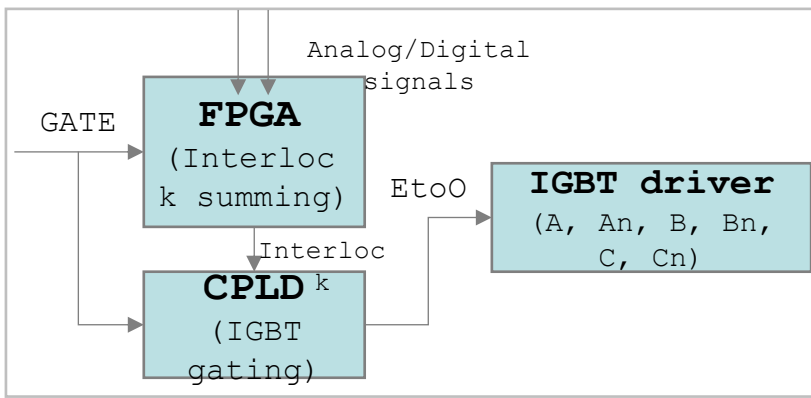


03

제어기 업그레이드 특징

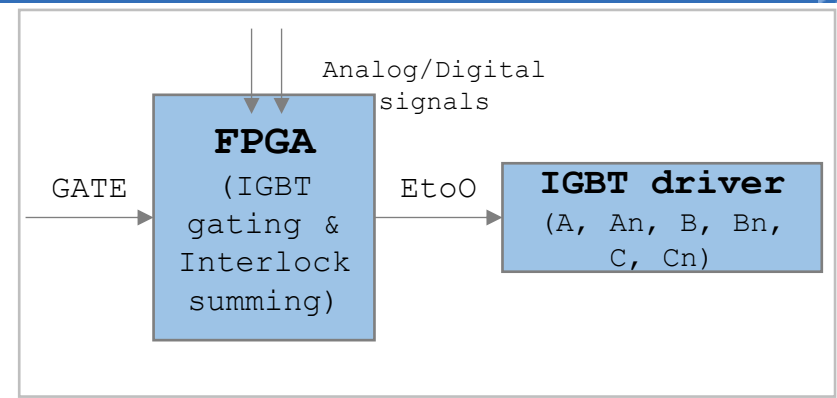
# 1. FPGA based logic development

[Original] Logic device 구성  
역할



- ✓ FPGA ⇒ Interlock summing
- ✓ CPLD ⇒ IGBT gating for pulse flattening
- ✓ Windows XP
- ✓ VHDL in FPGA
- ✓ Function block in CPLD

[Upgrade] Logic device 구성과  
역할



- ✓ FPGA로 IGBT gating, Interlock summing 통합
- ✓ Windows 11
- ✓ VHDL in FPGA

구성

역할

개발환경

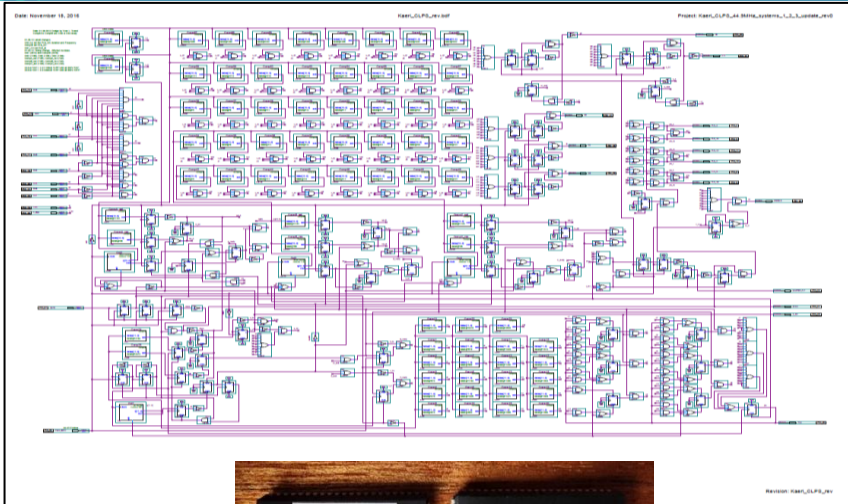
기존 CPLD function block으로 설계된 IGBT gating logic을 VHDL로의 변환과 그 성능 검증 필요

# 1. FPGA based logic development

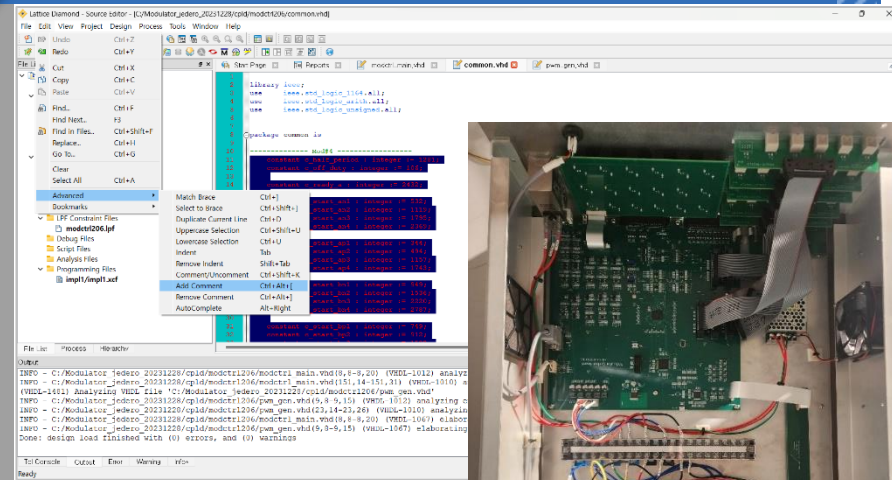
[Original] IGBT gating logic in CPLD



[Upgrade] IGBT gating logic in FPGA



로직 구현 방법



☑ (M01~M03), (M04)용 CPLD 구분

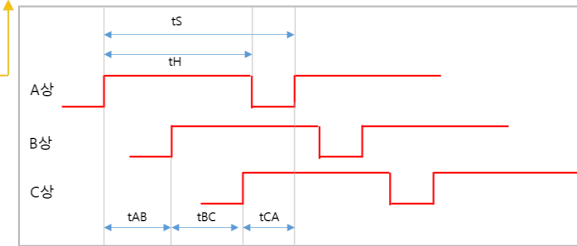
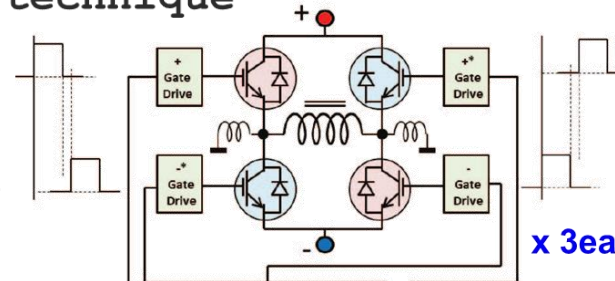
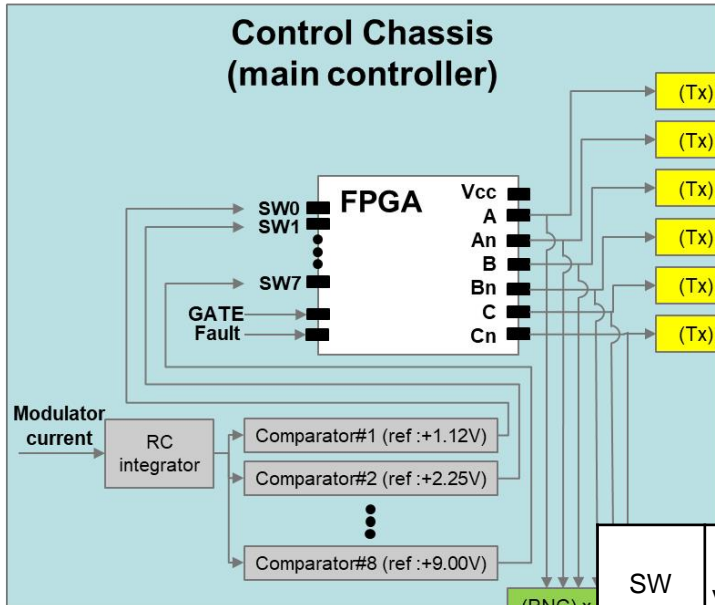
특징

☑ (M01~M03), (M04)용 하드웨어 구분없이, on board programming으로 호환성 증대

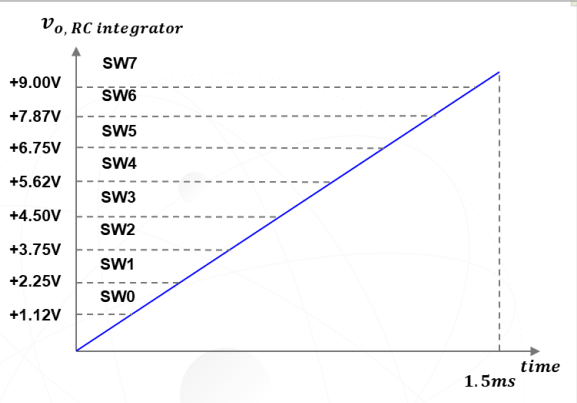
☑ 로직 접근성 향상, 사용절차서 마련

# 1. FPGA based logic development

: Pulse flattening technique



SW	Reference Voltage [V]	tH [us]	tS [us]	tAB [us]	tAC [us]	Dead time [us]	Duty [%]	$f_s$ [kHz]
		On time	Period	AB상 시간차	AC상 시간차			
none	0	23.62	53.80	17.94	35.88	3.28	87.806	18.587
SW0	+1.13	23.62	53.48	17.82	35.66	3.12	88.332	18.698
SW1	+2.25	23.62	53.20	17.74	35.46	2.98	88.796	18.796
SW2	+3.75	23.62	52.92	17.64	35.28	2.84	89.266	18.896
SW3	+4.50	23.62	52.68	17.56	35.12	2.72	89.673	18.982
SW4	+5.62	23.62	52.40	17.46	34.94	2.58	90.152	19.083
SW5	+6.75	23.62	52.12	17.38	34.74	2.44	90.636	19.186
SW6	+7.81	23.62	51.88	17.30	34.58	2.32	91.056	19.275
SW7	+9.00	23.62	51.60	17.20	34.40	2.18	91.550	19.379

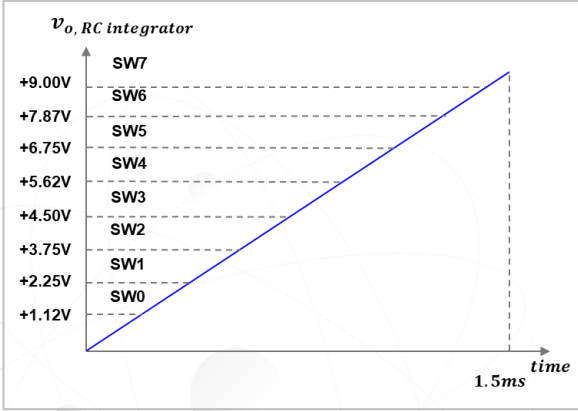
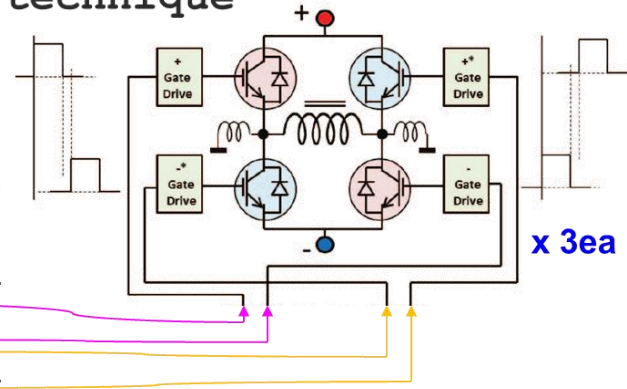
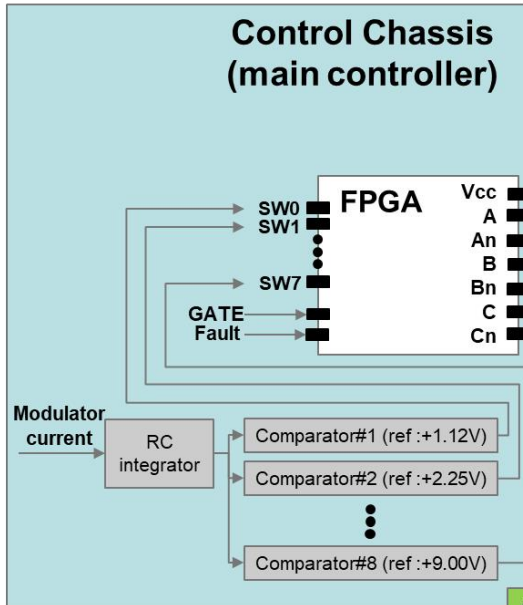


전류 적분값에 따른 8단계로 주파수 변화



# 1. FPGA based logic development

: Pulse flattening technique

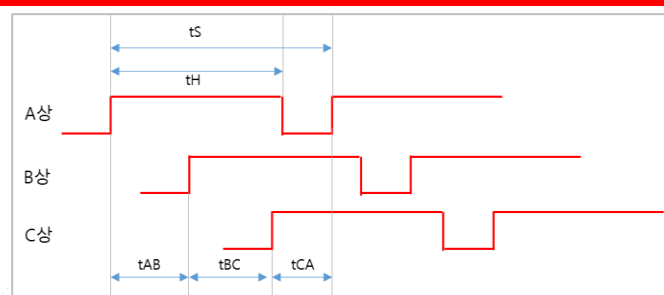
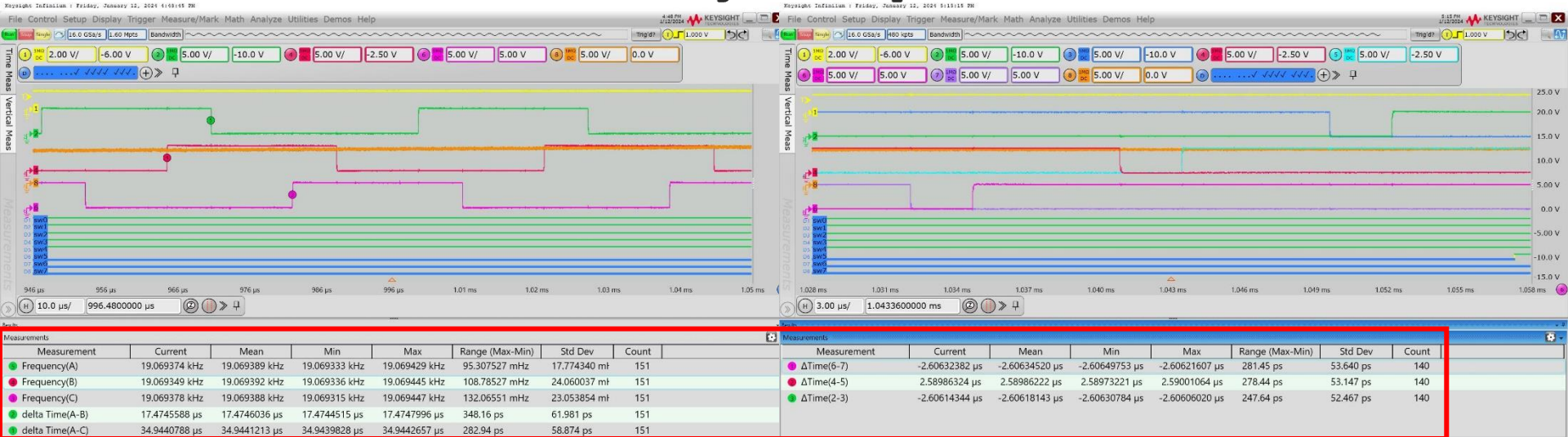


전류 적분값에 따른 8단계로 주파수 변화

주파수 변화 10.507 10.270 1V

# 1. FPGA based logic development

## : Pulse flattening technique

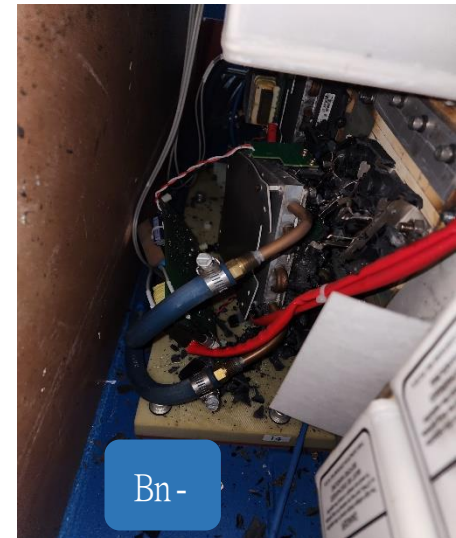
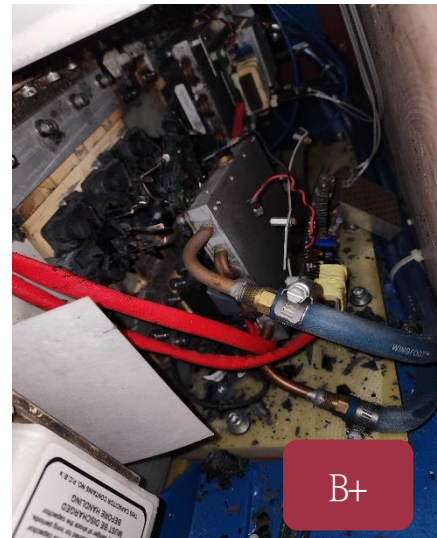
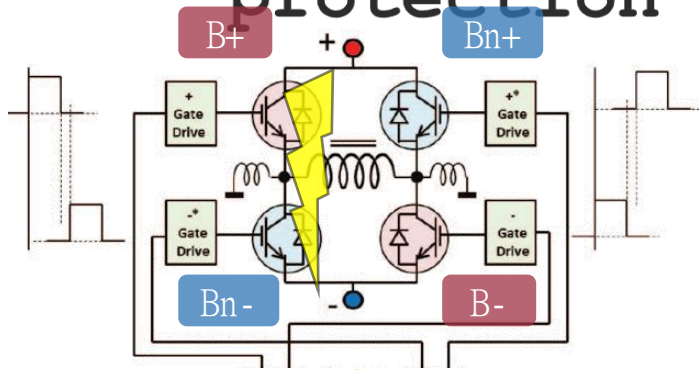


SW	Reference Voltage [V]	tH [us] On time	tS [us] Period	tAB [us] AB상 시간차	tAC [us] AC상 시간차	Dead time [us]	Duty [%]	$f_s$ [kHz]
none	0	23.62	53.80	17.94	35.88	3.28	87.806	18.587
SW0	+1.13	23.62	53.48	17.82	35.66	3.12	88.332	18.698
SW1	+2.25	23.62	53.20	17.74	35.46	2.98	88.796	18.796
SW2	+3.75	23.62	52.92	17.64	35.28	2.84	89.266	18.896
SW3	+4.50	23.62	52.68	17.56	35.12	2.72	89.673	18.982
SW4	+5.62	23.62	52.40	17.46	34.94	2.58	90.152	19.083
SW5	+6.75	23.62	52.12	17.38	34.74	2.44	90.636	19.186
SW6	+7.81	23.62	51.88	17.30	34.58	2.32	91.056	19.275
SW7	+9.00	23.62	51.60	17.20	34.40	2.18	91.550	19.379

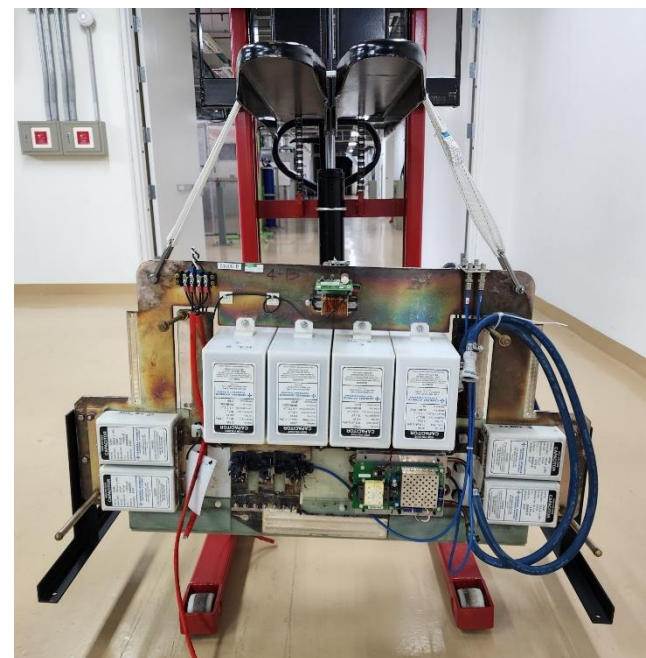
전류 적분값에 따른 8단계로 주파수 변화



# 2. IGBT shoot-through protection

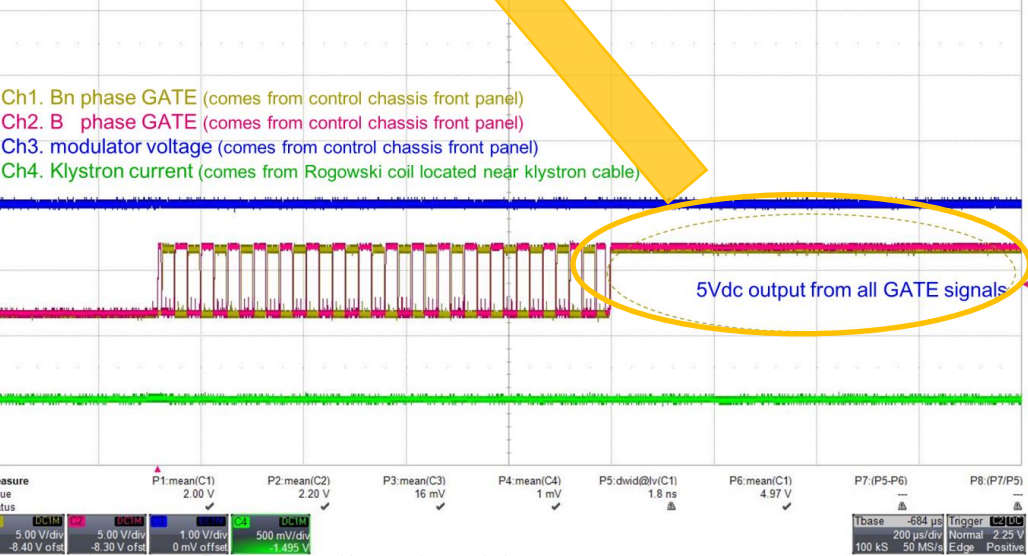


TELEDYNE LECROY  
Everywhere you look

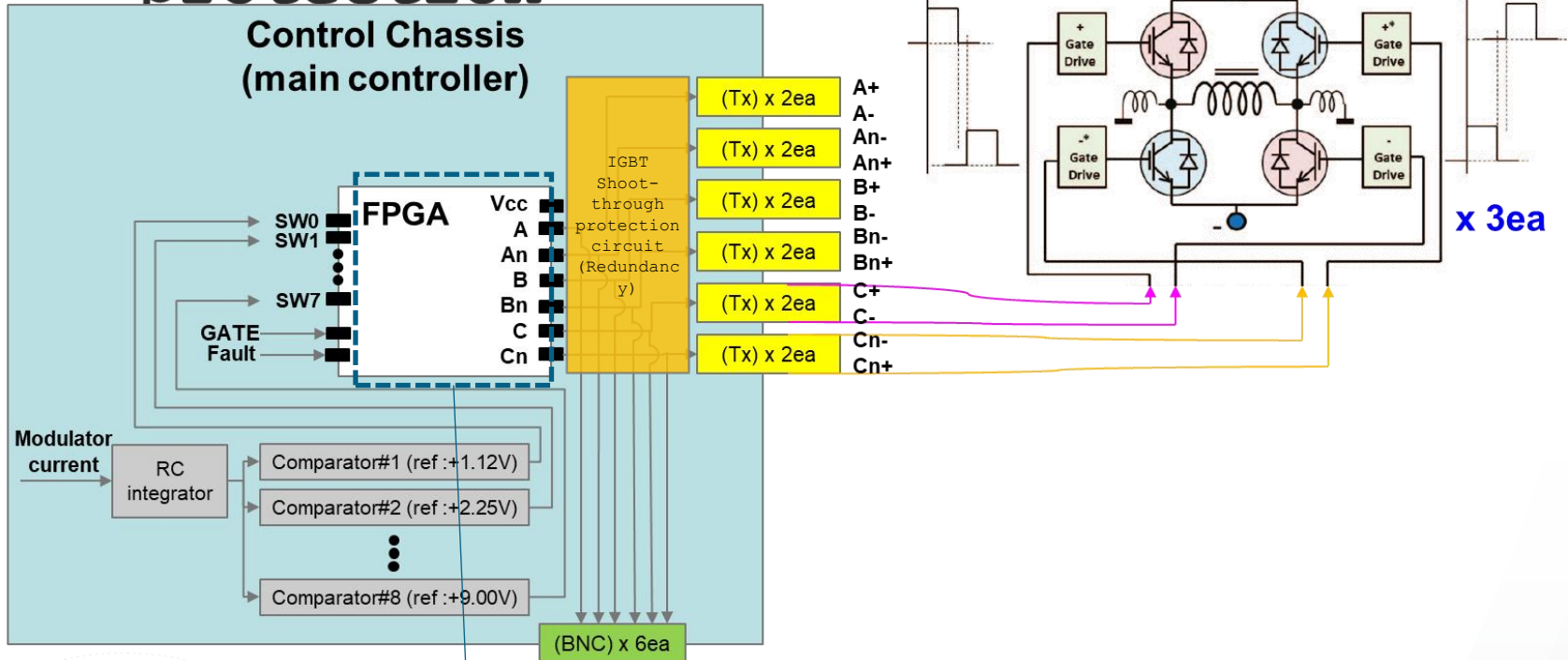


☑ 제어기 IGBT gating 오동작으로 IGBT blast 발생

☑ IGBT gating 오동작 보호시스템 필요  
Control chassis generates 5Vdc output regardless of external GATE signal.



## 2. IGBT shoot-through protection



```

565 -- pulse out
566 sig_out <= not(lat_coin_flt) and not(flt_sum) and gate and not(auxflt_reg);
567
568 pls_a <= (s_pls_a and sig_out);
569 pls_an <= (s_pls_an and sig_out);
  
```

- ✓ FPGA 내부 로직으로 IGBT gating 신호 중첩 1차 방지 인터락
- ✓ FPGA 외부 IC 보호회로 추가로 2차 인터락 (Redundancy)



# 2. IGBT shoot-through protection

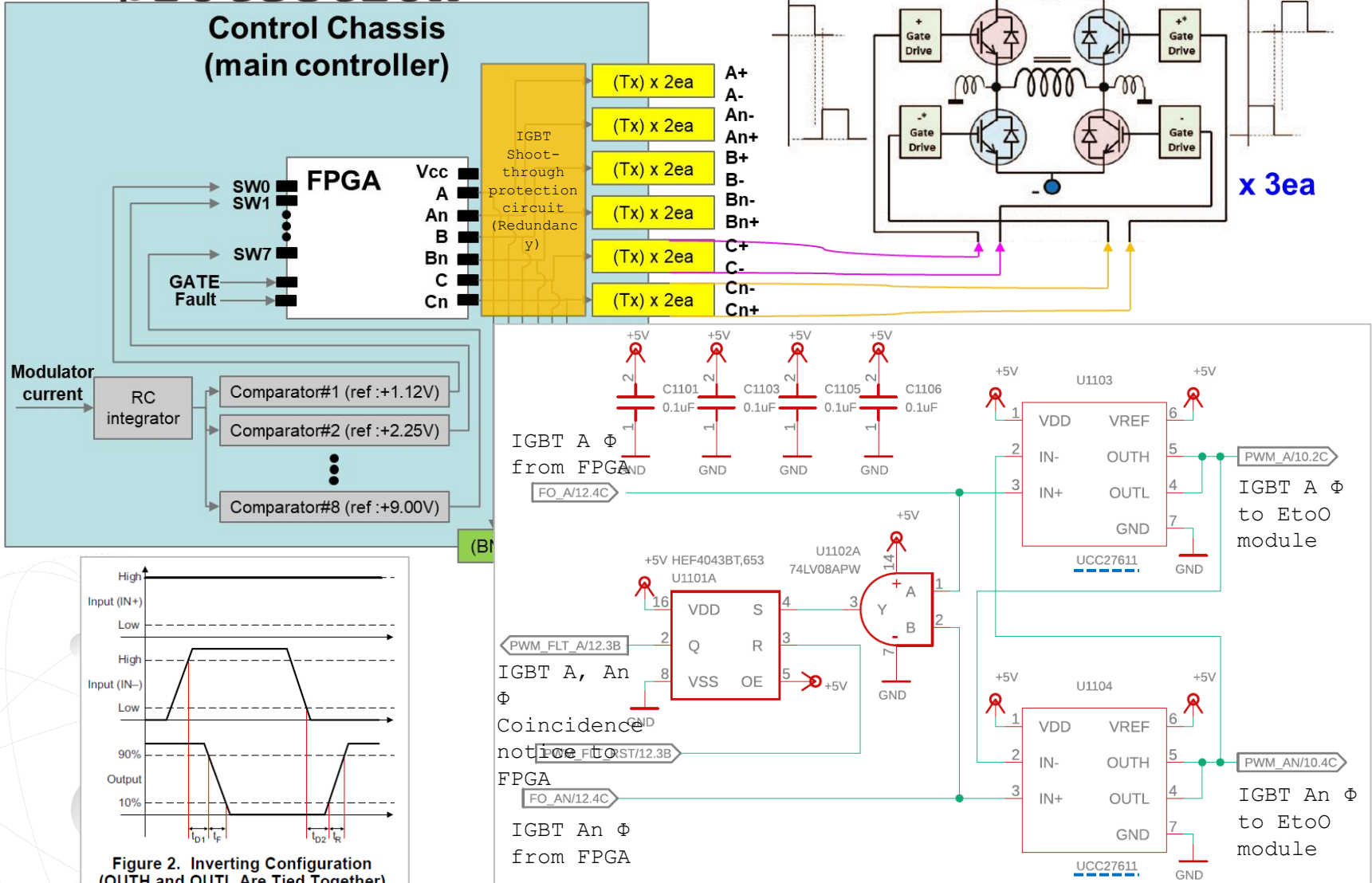
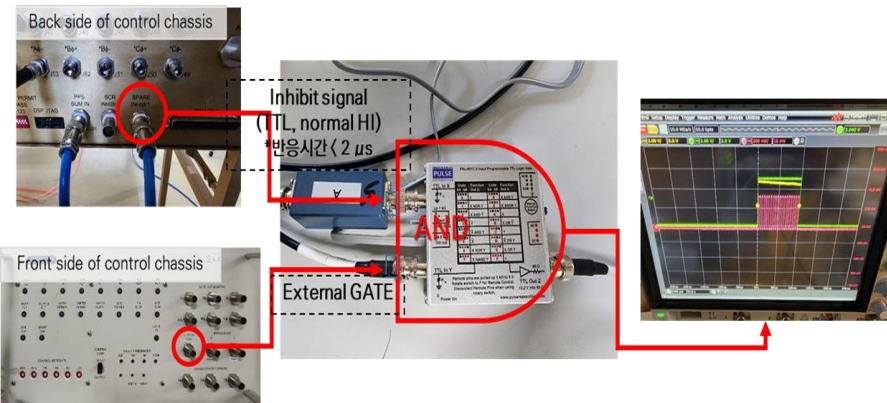


Figure 2. Inverting Configuration (OUTH and OUTL Are Tied Together)

# 3. Fault waveform capturing

Original] 외장형 운전과형 래치회로

Upgrade] 내장형 운전과형 래치회로



래치 구현 방법

```

565 -- pulse out
566 sig_out <= not(lat_coin_flt) and not(flt_sum_jhs) and gate and not(auxflt_reg);
567
568 pls_a <= (s_pls_a and sig_out);
569 pls_an <= (s_pls_an and sig_out);
570 pls_b <= (s_pls_b and sig_out);
571 pls_bn <= (s_pls_bn and sig_out);
572 pls_c <= (s_pls_c and sig_out);
573 pls_cn <= (s_pls_cn and sig_out);
574
575 --latched_gate_mon
576 latched_gate_mon <= (s_pls_a or s_pls_an) and (s_pls_b or s_pls_bn) and (s_pls_c or s_pls_cn) and sig_out;
    
```



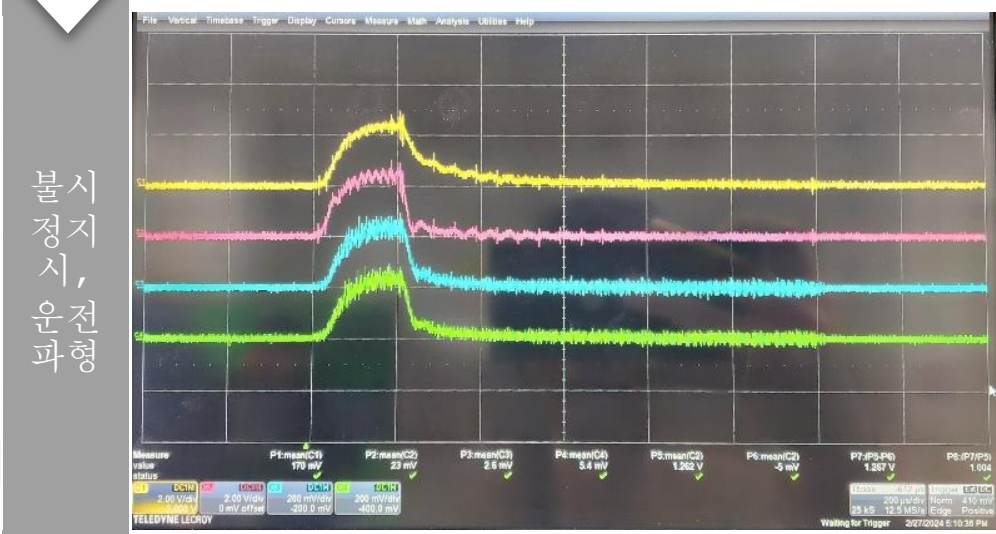
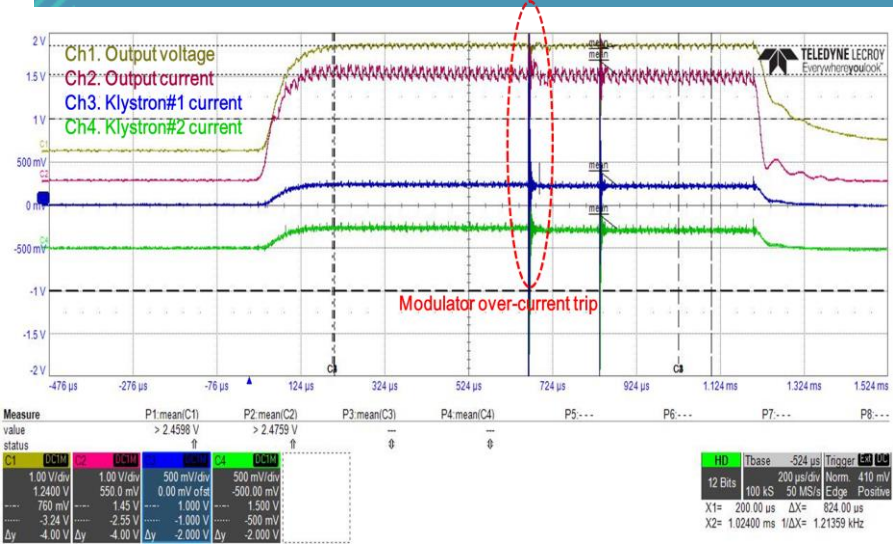
특징



- ☑ FPGA 내부 로직으로 래치회로 내장
- ☑ 제어기 전면부 fault latched GATE 단자 확장

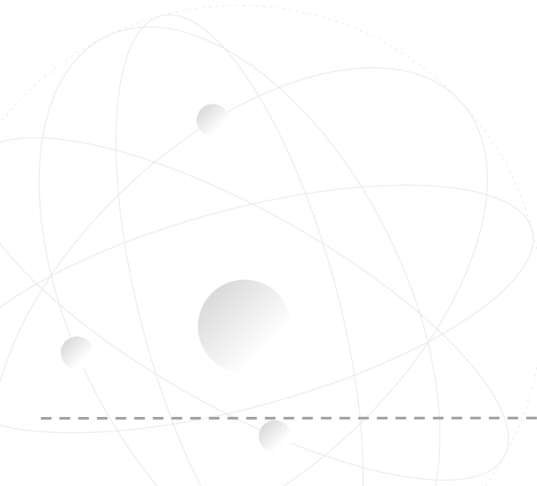
# 4. IGBT gate stop condition

enhancement



불시지  
운전, 전형  
과

☑ IGBT over-current



IGBT  
gate  
stop  
조건

- ☑ IGBT over-current
- ☑ External GATE 오동작 (duty fault 등)
- ☑ 출력전압 over-voltage
- ☑ 출력전류 over-current
- ☑ IGBT gate 오동작 (coincidence)
- ☑ Klystron fault
- ☑ Human safety

Arc energy  
<20 J



한국원자력연구원  
Korea Atomic Energy Research Institute

KOREA  
ATOMIC  
ENERGY  
RESEARCH  
INSTITUTE



제어기 적용실험 결과

04



# IGBT gate신호 건전성 장시간 실험



✓ IGBT driver 출력주파수 통계 (표본 약 36만 펄스)

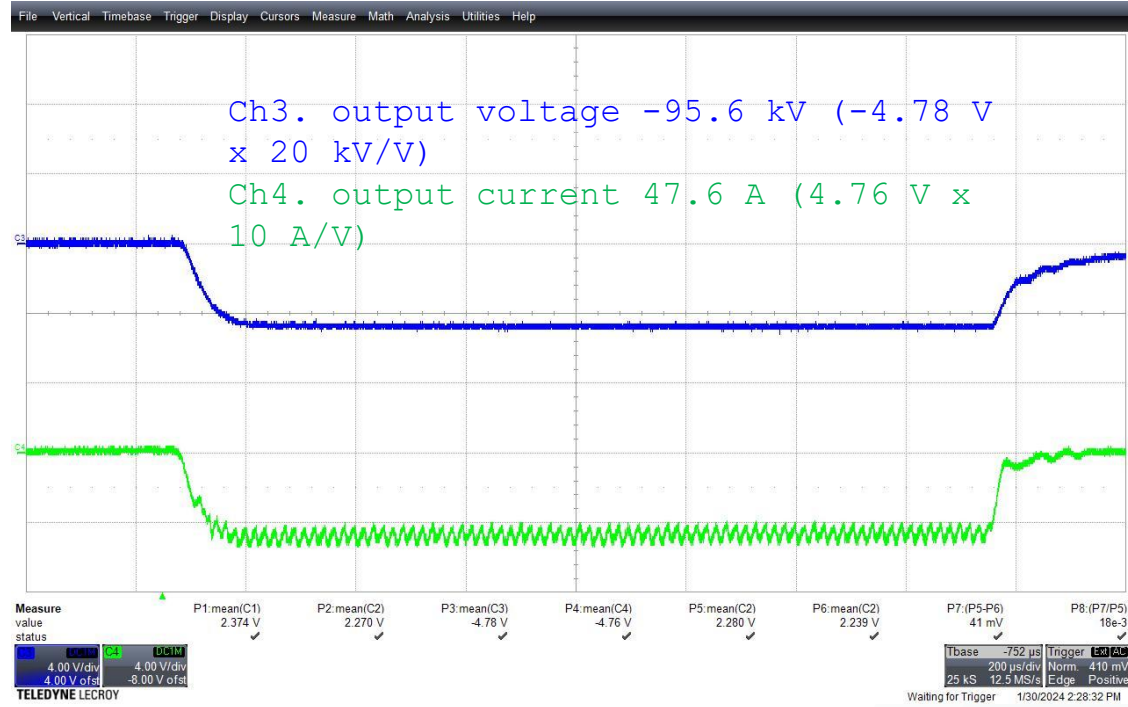
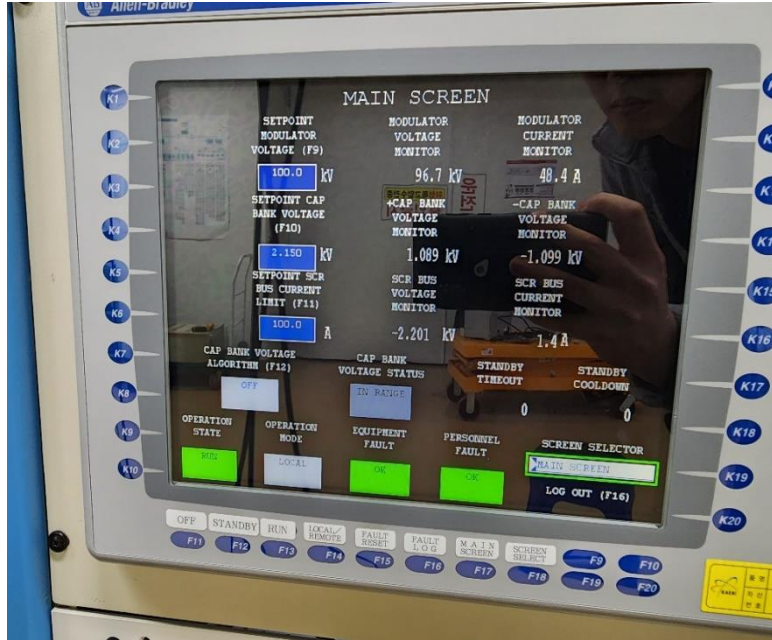
✓ 출력주파수 건전성 pass

✓ IGBT driver 펄스카운터 통계 (표본 약 40만 펄스)

✓ 펄스 동작 건전성 pass

모듈레이터 승압 전 IGBT gate신호 건전성 확인완료

# 모듈레이터 연동 승압운전



- ☑ IGBT gate 신호 건전성 확인완료 후, single shot 실험 완료 pass
- ☑ 현재 업그레이드 제어기는 모듈레이터 (M02) 에 설치 운영 중



한국원자력연구원  
Korea Atomic Energy Research Institute

KOREA  
ATOMIC  
ENERGY  
RESEARCH  
INSTITUTE



05

결론

# 모듈레이터 제어기 개발 요약

☑ FPGA 기반 로직 구현 및 검증

: 기반 시스템 최신화, 로직 접근성 향상, 범용성 향상

☑ IGBT shoot-through 보호회로 추가

: IGBT 건전성 향상

☑ 모듈레이터 운전파형 래치회로 내장

: 모듈레이터 troubleshooting 효율 향상

☑ IGBT gate 정지 조건 향상

: IGBT 및 klystron 건전성 향상



업그레이드 제어기를 모듈레이터에 설치 운영 中





한국원자력연구원  
Korea Atomic Energy Research Institute

KOREA  
ATOMIC  
ENERGY  
RESEARCH  
INSTITUTE



감사합니다.